

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

© EPDOC / EPO

PN - JP11112982 A 19990423  
PD - 1999-04-23  
PR - JP19970275794 19971008  
OPD - 1997-10-08  
TI - MPEG DATA RECEIVER  
IN - SHIRAI HIDEAKI  
PA - FUJITSU LTD  
IC - H04N7/24 ; H03L7/085 ; H03L7/08

© WPI / DERWENT

TI - MPEG data receiver for cable TV transmission, digital satellite and ground wave communication - has clock adjustment unit to adjust operation velocity of clock signal based on amount of data of video and audio buffer memories corresponding to which process velocity of both data is controlled

PR - JP19970275794 19971008

PN - JP11112982 A 19990423 DW199927 H04N7/24 011pp

PA - (FUIT ) FUJITSU LTD

IC - H03L7/08 ; H03L7/085 ; H04N7/24

AB - J11112982 NOVELTY - In the MPEG data receiver, a clock adjustment unit (2) adjusts operation velocity of clock signal based on amount of data of video and audio buffer-memories. By adjusting operation velocity, process velocity of video data and audio data is controlled. DETAILED DESCRIPTION - The transport decoder extracts data from video buffer-memory and audio buffer-memory and monitors whether it lies in the tolerance limit set by data before. Video and audio data are maintained suitably in the respective buffer memories based on regenerated clock signal.

- USE - For e.g. set top box (STB) for cable TV transmission, digital satellite and groundwave communication.
- ADVANTAGE - In this receiver since amount of data buffer of memory is compressed within tolerance limit, development of underflow or overflow condition is prevented. DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of PLL applied to MPEG data receiver. (2) Clock.
- (Dwg.1/11)

OPD - 1997-10-08

AN - 1999-320289 [27]

© PAJ / JPO

PN - JP11112982 A 19990423  
PD - 1999-04-23  
AP - JP19970275794 19971008  
IN - SHIRAI HIDEAKI  
PA - FUJITSU LTD  
TI - MPEG DATA RECEIVER  
AB - PROBLEM TO BE SOLVED: To make data amount of a buffer memory converge within a permitted range and to prevent the occurrence of an overflow or underflow by controlling a control voltage to a VCO and adjusting the frequency of a clock signal, when the data amount of the buffer memory exceeds a predetermined allowable amount.  
- SOLUTION: In a clock adjustment part2, the upper limit and the lower limit thresholds are set in data amount of a buffer memory in advance, when the upper limit threshold is exceeded, an up down counter is added and when it falls below lower limit threshold, the up-down counter is subtracted. When the data amount is beyond the range of an allowable value, a count value of the up-down counter, instead of a differential between a PCR and an STC from a subtraction part 1, is imprinted upon a VCO 5 as a voltage signal via a D/A conversion part 3 and an LPF 4. When the buffer memory tends to be overflowed, the data mount of the buffer is reduced by raising a control voltage applied to the VCO 5, making the clock frequency higher than reference 27 MHz and speeding up an operation of a decoder or the like.  
I - H04N7/24 ;H03L7/085 ;H03L7/08

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112982

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
H 0 4 N 7/24		H 0 4 N 7/13 Z
H 0 3 L 7/085		H 0 3 L 7/08 A
7/08		M

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平9-275794

(22) 出願日 平成9年(1997)10月8日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 白井 秀明

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

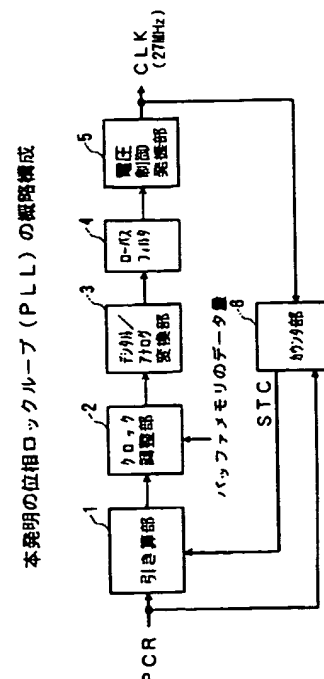
(74) 代理人 弁理士 有我 軍一郎

(54) 【発明の名称】 MPEGデータ受信装置

(57) 【要約】

【課題】 本発明は、ストリームに含まれるPCRによって、デコーダ側のバッファメモリがオーバーフローあるいはアンダーフロー状態となることを防止し、放送波を良好に信号処理してテレビ受像機へ出力することができるMPEGデータ受信装置を提供することを課題とする。

【解決手段】 PLLは、TSから抽出されたPCRとカウンタ部6から出力されるSTCとの引き算処理を行う引き算部1と、PCRとSTCとの差分とバッファメモリのデータ量に基づいて、制御値を生成するクロック調整部2と、制御値を電圧信号に変換して、制御電圧としてVCO5へ印加するD/A変換部3及びLPF4と、制御電圧に基づいて発振するクロック信号の位相及び周波数を制御するVCO5と、クロック信号に基づいてSTCを生成するカウンタ部6と、を有して構成されている。



## 【特許請求の範囲】

【請求項1】MPEG規格で圧縮されたデジタルデータから、映像データ及び音声データを分離、抽出するとともに、動作クロックの再生処理を行うトランスポートデコーダと、再生された前記動作クロックに基づいて、前記映像データをビデオバッファメモリに保持した後、復号化するビデオデコーダと、再生された前記動作クロックに基づいて、前記音声データをオーディオバッファメモリに保持した後、復号化するオーディオデコーダと、を備えたMPEGデータ受信装置において、前記ビデオバッファメモリ及び前記オーディオバッファメモリのデータ量に基づいて、前記動作クロックの速度を調整することにより、前記映像データ及び前記音声データの処理速度を制御することを特徴とするMPEGデータ受信装置。

【請求項2】前記トランスポートデコーダは、前記ビデオバッファメモリ及び前記オーディオバッファメモリの各々のデータ量を抽出し、該データ量が予め設定した許容範囲内にあるか否かを監視し、前記データ量が該許容範囲外となったとき、前記動作クロックの速度を調整することにより、前記映像データ及び前記音声データの処理速度を変更することを特徴とする請求項1記載のMPEGデータ受信装置。

【請求項3】前記トランスポートデコーダは、所定時間毎に前記ビデオバッファメモリ及び前記オーディオバッファメモリの各々のデータ量の平均値を算出し、該平均値が予め設定した許容範囲内にあるか否かを監視し、前記平均値が該許容範囲外となったとき、前記動作クロックの速度を調整することにより、前記映像データ及び前記音声データの処理速度を変更することを特徴とする請求項1記載のMPEGデータ受信装置。

【請求項4】前記トランスポートデコーダは、前記デジタルデータに含まれるプログラム時刻基準参照値と前記動作クロックに基づく同期信号との同期状態を監視し、該同期状態と、前記ビデオバッファメモリ及び前記オーディオバッファメモリのデータ量に基づいて、前記動作クロックの調整を行うことを特徴とする請求項1、2又は3記載のMPEGデータ受信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MPEGデータの受信装置に関し、特に、放送衛星や地上波を利用するデジタル放送や、ケーブルを利用するケーブルテレビ（以下、CATVと記す）放送等で用いられる受信装置に関するものである。近年、一般家庭へのデジタル衛星放送やCATVの普及が著しい。通常、これらの放送形態においては、受信した信号を所定の映像信号、音声信号等に変換してテレビ受像機に出力するSTB（CATV用セットトップボックス）あるいはIRD（デジタル衛星放送用受信機）と呼ばれる専用の受信装置を必要とする。

る。

## 【0002】

【従来の技術】一般に使用されている受信装置のうち、デジタル衛星放送に用いられている受信機について、図9を参照して説明する。図9に示すように、受信機は大別して、チューナ・モジュールa、デスクランブラb、MPEGトランスポートデコーダc、MPEG2ビデオデコーダd、MPEG1オーディオデコーダe、NTSCエンコーダf、D/Aコンバータg、制御用CPUhから構成される。ここで、MPEGトランスポートデコーダcは、システムデコーダあるいはトランスポートデマルチプレキサ（DMUX）などとも呼ばれる。

【0003】受信機における信号処理を説明すると、まず、衛星放送受信アンテナで受信した衛星波が、チューナ・モジュールaに入力される。チューナ・モジュールaは、受信トランスポンダの切換え、復調、誤り訂正の復号などを行い、個別のデータ列（ストリーム）が多重化されたMPEG2トランスポート・ストリームを抽出する。このトランスポート・ストリーム（Transport Stream：以下、TSと記す）は、デスクランブラbに入力されて、図示を省略したICカード等から供給されるデスクランブル用の鍵データを用いてデスクランブル（暗号解除）され、MPEGトランスポートデコーダcに転送される。MPEGトランスポートデコーダcは、視聴者の選局操作に基づくプログラム仕様情報（Program Specific Information：以下、PSIと記す）を受信し、TSから必要な映像データと音声データを抽出し、MPEG2ビデオデコーダd及びMPEG1オーディオデコーダeに送出する。MPEG2ビデオデコーダdは、映像データの圧縮を解除し、NTSCエンコーダfによりNTSC信号に変換してテレビ受像機へ出力する。MPEG1オーディオデコーダeは、音声データの圧縮を解除し、D/Aコンバータgによりアナログ信号に変換してテレビ受像機へ出力する。制御用CPUhは、これら一連の処理を制御する。

【0004】なお、CATVにおいても、ケーブルを介して受信したデジタル信号が上記と同様の処理をされてテレビ受像機へ出力される。このように、MPEGトランスポートデコーダcは、受信した衛星波に含まれるMPEG2のTSを映像データ、オーディオデータ、その他の制御データに分解する機能を有している。また、一方で、MPEGトランスポートデコーダc、MPEG2ビデオデコーダd、MPEG1オーディオデコーダe、NTSCエンコーダfで使用するクロック信号の再生処理を行う機能も有している。

【0005】このクロック信号の再生処理とは、放送事業者側で衛星波等の放送波を符号化して圧縮するMPEGエンコーダ（符号化装置）と、視聴者側で映像データや音声データの圧縮を解除するMPEGデコーダ（復号化装置）との間で共通の時間管理、すなわち同期をとる

処理である。次に、クロック信号の再生処理について、図10を参照して説明する。

【0006】図10は、クロック信号の再生処理に用いられる位相ロックループ(Phase Locked Loop:以下、PLLと記す)の概略構成を示すブロック図である。図10に示すように、PLLは、引き算部(位相比較部)1、デジタル/アナログ変換部(以下、D/A変換部と記す)3、ローパスフィルタ(以下、LPFと記す)4、電圧制御発振部(Voltage Control Oscillator:以下、VCOと記す)5、カウンタ部6からなる帰還閉路により構成される。

【0007】PLLにおけるクロック信号の再生処理には、TSから抽出、分離されたビデオストリーム、オーディオストリーム毎に指定されたプログラム時刻基準参照値(Program Clock Reference:以下、PCRと記す)情報が用いられる。このPCRは、ビデオデコーダ及びオーディオデコーダを含む受信機のデコーダにおいて、時刻標準となる同期信号(System Time Clock:以下、STCと記す)の値を放送業者側のMPEGエンコーダ側で意図した値、すなわち、MPEG2の場合では27MHzのクロック周波数に設定、補正するための情報であり、特定のストリームの中に42ビットの長さで含まれている。

【0008】クロック信号CLKの再生処理について説明すると、まず、特定のストリームから抽出したPCRの値を、そのままカウンタ部6に書き込み(設定し)、カウンタ部6から出力されるSTCとPCRとを同期状態として初期化する。次のPCRが入力されると、引き算部1においてPCRを受信した時のカウンタ部6からのSTCとの引き算処理を行う。PCR及びSTC両者のクロック信号の位相が完全に一致している場合には、引き算部の出力は0となり、両者の位相が相違する場合には、その差分をD/A変換部3及びLPF4を介して電圧信号に変換してVCO5に印加する。この電圧信号によりVCO5から出力されるクロック信号CLKの位相を補正して出力するとともに、カウンタ部6に書き込みを行う。カウンタ部6は、VCO5から出力されるクロック信号CLKによりカウントアップするように構成されており、VCO5の出力変化に応じてカウント値、すなわち、STCの位相が制御される。

【0009】このように、PCRに基づいてクロック信号を再生処理することにより、MPEGデコーダ側のクロック信号CLKの位相を、MPEGエンコーダ側と正確に一致させることができる。そのため、ビデオデコーダ及びオーディオデコーダに付属して設けられるバッファメモリのデータ量がオーバーフロー、アンダーフロー状態となることを防止するとともに、再生出力の時刻管理情報(Presentation Time Stamp:以下、PTSと記す)を用いた映像データと音声データの同期をとることができる。

【0010】このようなPLLによるクロック信号の再生処理は、ストリーム中のPCRが正確に生成されていることを前提としている。

【0011】

【発明が解決しようとする課題】ところで、多数の個別のストリームを時分割多重化したパケット(トランスポート・ストリームパケット:以下、TSパケットと記す)の構造は、図11に示すように、ビデオエレメンタリーストリーム、オーディオエレメンタリーストリームを含んだパケットエレメンタリーストリーム(Packetized Elementary Stream:以下、PESと記す)パケットや、PESパケットとは異なる階層でPS1、PCR等から含まれる多重階層構造を有している。

【0012】そのため、MPEGエンコーダ側において、入力されたデータから直接TSパケットを生成する場合、PCRを作成して挿入することは容易に行うことができるが、エレメンタリーストリーム又はPESパケットのデータのみを合成して、TSパケットを生成しようとすると、PCRがTSパケットのレベルで含まれているため、エレメンタリーストリームが作成された時のクロックの位相が反映されず、正確なPCRを作成して挿入することができないという問題がある。

【0013】この場合、パケットの伝送速度から27MHzのクロック周波数を換算して、TSパケットにPCRを挿入することにより、MPEGデコーダ側で一見正常に圧縮解除を行うことができるが、クロック信号CLKのわずかな位相のずれにより数十分から数時間という比較的長い時間の経過に伴って、バッファメモリのデータ量がオーバーフローあるいはアンダーフローを生じるという問題を有している。

【0014】このような問題を解決するためには、正確なPCRが挿入されていないストリームを使わない等の対策が考えられるが、従来においては特に考慮されていなかった。また、このような現象は、比較的長い時間経過しないと発生しないものであるが、有料放送の場合等では、視聴者から「途中で画面が消える」、「異常な音がする」といった苦情の対象となる問題があった。

【0015】そこで、本発明は、ストリームに含まれるPCRの精度によってクロック信号の位相にずれが生じ、デコーダ側のバッファメモリがオーバーフローあるいはアンダーフロー状態となることを防止し、放送波を良好に信号処理してテレビ受像機へ出力することができるMPEGデータ受信装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、MPEG規格で圧縮されたデジタルデータから、映像データ及び音声データを分離、抽出するとともに、動作クロックの再生処理を行うトランスポートデコーダと、再生された前記動作クロック

クに基づいて、前記映像データをビデオバッファメモリに保持した後、復号化するビデオデコーダと、再生された前記動作クロックに基づいて、前記音声データをオーディオバッファメモリに保持した後、復号化するオーディオデコーダと、を備えたMPEGデータ受信装置において、前記ビデオバッファメモリ及び前記オーディオバッファメモリのデータ量に基づいて、前記動作クロックの速度を調整することにより、前記映像データ及び前記音声データの処理速度を制御することを特徴とする。

【0017】また、請求項2記載の発明は、請求項1記載のMPEGデータ受信装置において、前記トランスポートデコーダは、前記ビデオバッファメモリ及び前記オーディオバッファメモリの各々のデータ量を抽出し、該データ量が予め設定した許容範囲内にあるか否かを監視し、前記データ量が該許容範囲外となったとき、前記動作クロックの速度を調整することにより、前記映像データ及び前記音声データの処理速度を変更することを特徴とする。

【0018】また、請求項3記載の発明は、請求項1記載のMPEGデータ受信装置において、前記トランスポートデコーダは、所定時間毎に前記ビデオバッファメモリ及び前記オーディオバッファメモリの各々のデータ量の平均値を算出し、該平均値が予め設定した許容範囲内にあるか否かを監視し、前記平均値が該許容範囲外となったとき、前記動作クロックの速度を調整することにより、前記映像データ及び前記音声データの処理速度を変更することを特徴とする。

【0019】さらに、請求項4記載の発明は、請求項1、2又は3記載のMPEGデータ受信装置において、前記トランスポートデコーダは、前記デジタルデータに含まれるプログラム時刻基準参照値と前記動作クロックに基づく同期信号との同期状態を監視し、該同期状態と、前記ビデオバッファメモリ及び前記オーディオバッファメモリのデータ量に基づいて、前記動作クロックの調整を行うことを特徴とする。

【0020】本発明のMPEGデータ受信装置によれば、バッファメモリに対して予め上限及び下限のデータ量となるしきい値を設け、この上限及び下限しきい値により設定される許容範囲内に、データ量あるいはデータ量の平均値があるか否かを監視することにより、バッファメモリのデータ量の増減傾向を判別し、データ量が上側しきい値以上の場合には、アップ・ダウンカウンタに加算信号を送出し、データ量が下側しきい値以下の場合には、減算信号を送出する。この加減算信号に基づいてアップ・ダウンカウンタに設定されたカウント値をD/A変換部及びLPFを介して電圧信号に変換してVCOに印加する。

【0021】このように、バッファメモリのデータ量、あるいは所定のサンプリング期間内のデータ量の平均値を監視し、所定の許容範囲を越えた場合に、VCOへの

制御電圧を制御して、発振されるクロック信号（動作クロック）の周波数を調整することにより、データ処理速度を変化させ、バッファメモリのデータ量を許容範囲内に収束させることができるため、アンダーフローあるいはオーバーフロー状態の発生を防止することができる。

【0022】したがって、バッファメモリのアンダーフローあるいはオーバーフローに伴う画像の途切れや異常音等の発生を防止することができ、視聴者に対する良好な放送番組の提供を実現することができる。また、データ量の平均値を監視対象とすることにより、圧縮率の異なるデータ等によりデータ量の急激な変化が生じた場合においても、クロック信号の急激な変化を防止することができ、データ量の変化傾向に合致したクロック信号の調整処理を実現することができる。

【0023】さらに、TSバケットに挿入されたPCRと動作クロックに基づくSTCとの同期状態を引き算部により監視して、クロック信号の位相の一致を図る通常のクロック信号再生処理（PCR制御処理）と、上述したバッファメモリのデータ量あるいはその平均値と所定のしきい値との比較によるクロック信号の調整処理とを併用することにより、クロック信号の同期をとりつつ、正確でないPCRによるバッファメモリのアンダーフローあるいはオーバーフローを防止することができる。

【0024】

【発明の実施の形態】本発明に係るMPEGデータ受信装置に適用される位相ロックループの概略構成を図1に示して説明する。図1において、PLLは、引き算部1と、クロック調整部2と、D/A変換部3と、LPF4と、VCO5と、カウンタ部6と、を有して構成されている。

【0025】引き算部1は、TSから抽出、分離されたビデオストリーム、オーディオストリーム毎に指定されたPCRと、カウンタ部6から出力されるSTCとの引き算処理を行う。PCR及びSTC両者のクロック信号の位相が完全に一致している場合には、引き算部1の出力は0となり、両者の位相が相違する場合には、その差がクロック調整部2に出力される。

【0026】クロック調整部2は、引き算部1からのPCRとSTCとの差分と、バッファメモリのデータ量に基づいて、D/A変換部3及びLPF4に書き込み設定する制御値を生成する。D/A変換部3及びLPF4は、クロック調整部2からの制御値を電圧信号に変換して、制御電圧としてVCOへ印加する。

【0027】VCOは、制御電圧に基づいて発振するクロック信号の位相及び周波数を制御する。次に、クロック調整部の第1の実施例について、図2を参照して説明する。図2において、クロック調整部2は、上側比較部2a及び下側比較部2bと、アップ・ダウンカウンタ2cと、スイッチ2dと、を有して構成されている。

【0028】上側比較部2a及び下側比較部2bには、

バッファメモリがオーバーフローあるいはアンダーフロー状態となる前にそのデータ量の変化を検知することができる上側及び下側しきい値がそれぞれ設定され、これらのしきい値とバッファメモリの実際のデータ量とが比較される。アップ・ダウンカウンタ2cは、上側比較部2a及び下側比較部2bによる比較結果に応じてカウント値を増減する。例えば、バッファメモリのデータ量が上側しきい値を上回っていた場合には、カウント値を加算し、データ量が下側しきい値を下回っていた場合には、カウント値を減算する。なお、アップ・ダウンカウンタ2cは、初期状態において初期値0が設定される。

【0029】スイッチ2dは、アップ・ダウンカウンタ2cのカウント値と、上述した引き算部1からのPCRとSTCの差分の何れかを、切換信号により選択的に切換え、D/A変換部3及びLPF4に出力する。PCRが受信され、引き算部1から差分が出力された場合には、その差分に応じた電圧信号をD/A変換部及びLPFを介してVCOに印加し、通常のクロック信号再生処理を実行する。一方、バッファメモリのデータ量が上側及び下側しきい値により設定される許容範囲外となったときには、アップ・ダウンカウンタ2cのカウント値に切り換えられ、そのカウント値に応じた電圧信号がVCOに印加される。

【0030】なお、上側比較部2a及び下側比較部2bに設定される上側及び下側しきい値、アップ・ダウンカウンタ2cに設定される初期値、スイッチ2dを制御する切換信号は、制御CPUにより出力されるものであってもよいし、クロック制御部2が予め保持しているデータであってもよい。次に、第1の実施例のクロック調整部2の処理動作について、図3を参照して説明する。

【0031】まず、クロック信号の調整処理が開始されると、アップ・ダウンカウンタ2cには初期値0が設定される( $A=0$ :S11)。そして、制御CPUによりバッファメモリのデータ量が抽出され(S12)、クロック調整部2に入力されると、上側比較部2a及び下側比較部2bにおいて、予め設定された上側及び下側しきい値と、データ量とが比較される。具体的には、まず、上側比較部2aにおいて上側しきい値とデータ量との比較処理が行われ、大小関係が判定される(S13)。データ量が上側しきい値よりも小さい場合には、下側比較部2bにおいて下側しきい値とデータ量との比較処理が行われ、大小関係が判定される(S15)。

【0032】データ量が、上側しきい値よりも大きい場合には、アップ・ダウンカウンタ2cに加算信号を送出して、そのカウント値Aを所定値 $\alpha$ だけ増加させる( $A'=A+\alpha$ :S14)。データ量が、下側しきい値よりも小さい場合には、アップ・ダウンカウンタに減算信号を送出してカウント値Aを所定値 $\alpha$ だけ減少させる( $A'=A-\alpha$ :S16)。また、データ量が、上側しきい値よりも小さく、下側しきい値よりも大きい場合、すな

わち、上側及び下側しきい値により設定される許容範囲にある場合には、アップ・ダウンカウンタへの加減算信号を送出せず、カウント値Aは初期値0のままに設定される( $A'=A$ )。

【0033】ここでカウント値Aを増減させる所定値 $\alpha$ は、引き算部1におけるPCRとSTCの差分や、D/A変換部3及びLPF4の出力電圧特性等に応じて適宜設定する。次いで、アップ・ダウンカウンタ2cのカウント値A'はスイッチ2dを介してD/A変換部3及びLPF4に書き込み設定され、所定の電圧信号に変換され、VCO5に印加される。VCO5は、この電圧信号を制御電圧として、生成するクロック信号CLKの周波数を制御する。

【0034】上述した一連のクロック信号の調整処理は、PCRが受信されたとき、あるいは所定の時間間隔で繰り返して実行される。また、スイッチ2dに入力される切換信号により、バッファメモリのデータ量を監視し、その監視結果に応じてクロック信号の調整処理を行う場合と、引き算部1からの差分に応じてクロック信号の再生処理を行う場合とを切り換える。この切換信号は、PCRが受信されたときには引き算部1の出力を選択し、それ以外の場合にはデータ量の監視結果を選択するものであってもよいし、通常は引き算部1からの出力を選択し、バッファメモリのデータ量が許容範囲を越えて、アップ・ダウンカウンタ2cのカウント値Aが変化ことを検出してスイッチ2dを切り換えるものであってもよい。

【0035】次に、スイッチ部2dにより選択され、D/A変換部3及びLPF4に書き込み設定された制御値(スイッチ部2dの出力)と出力電圧との関係について、図4を参照して説明する。図4に示すように、制御値と出力電圧の関係は略比例関係を有し、制御値が0のとき、D/A変換部3及びLPF4の出力電圧は2.5Vとなるように設定されている。

【0036】そのため、アップ・ダウンカウンタ2cのカウント値Aが初期値0の場合、D/A変換部3及びLPF4により出力される電圧は2.5Vとなり、VCO5の動作特性により制御電圧2.5Vのとき、出力されるクロック信号CLKの周波数が27MHzとなるように設定されている。また、カウント値Aが初期値以外のときには、VCO5に印加される制御電圧を2.5Vから変化させることができるため、生成されるクロック信号の周波数を調整することができる。

【0037】したがって、上述した一連のクロック信号の調整処理により、バッファメモリのデータ量が上側しきい値を上回ってオーバーフロー状態となる傾向が高まってきた場合には、D/A変換部3及びLPF4に入力される制御値を増加させて、その出力電圧を上昇させて、2.5V以上の制御電圧としてVCOに印加することができるため、クロック信号の周波数を27MHz以



上として、デコーダ等の動作速度を早くして、バッファメモリのデータ量を減少させることができる。

【0038】一方、バッファメモリのデータ量が下側しきい値を下回ってアンダーフロー状態となる傾向が高まってきた場合には、制御値を減少させて、その出力電圧を下降させて、2.5V以下の制御電圧としてVCOに印加することができるため、クロック信号の周波数を27MHz以下として、デコーダ等の動作速度を遅くして、バッファメモリのデータ量を増加させることができる。

【0039】次に、クロック調整部2の第2の実施例について、図5を参照して説明する。なお、第1の実施例と同等の構成については、同一の符号を付して、その説明を省略する。本実施例は、上側比較部2a及び下側比較部2bにおいて、上側及び下側しきい値とを比較する比較対象を、バッファメモリのデータ量の平均値としたことを特徴とする。

【0040】図5において、クロック調整部2は、平均値算出部2eと、上側比較部2a及び下側比較部2bと、アップ・ダウンカウンタ2cと、スイッチ2dと、を有して構成されている。平均値算出部2eは、バッファメモリのデータ量を所定のサンプリング期間抽出して、単位時間における平均値を算出し、上述した上側比較部2a及び下側比較部2bに出力する。なお、この平均値算出部2eは、本実施例のようにクロック調整部2内に設けてもよいし、外部の演算手段により算出した結果を供給するものであってもよい。

【0041】次に、第2の実施例のクロック調整部2の処理動作について、図6を参照して説明する。なお、上述した第1の実施例と同等の処理については、その詳細説明を省略する。まず、クロック調整処理が開始されると、アップ・ダウンカウンタには初期値0が設定される(A=0;S21)。そして、制御CPUによりバッファメモリのデータ量が所定のサンプリング期間の間抽出されて(S22)、クロック調整部2に inputs され、平均値算出部2eにおいて、単位時間における平均値が算出される(S23)。次いで、上側比較部2a及び下側比較部2bにおいて、予め設定された上側及び下側しきい値と、この平均値とが比較される(S24、S26)。

【0042】平均値が、上側しきい値よりも大きい場合には、アップ・ダウンカウンタ2cに加算信号を送出してカウント値Aを所定値 $\alpha$ だけ増加させる(A+=A+ $\alpha$ ;S25)。平均値が、下側しきい値よりも小さい場合には、アップ・ダウンカウンタ2cに減算信号を送出してカウント値Aを所定値 $\alpha$ だけ減少させる(A-=A- $\alpha$ ;S27)。また、平均値が、上側及び下側しきい値により設定される許容範囲にある場合には、アップ・ダウンカウンタ2cへの加減算信号を送出せず、カウント値Aは初期値0のままに設定される(A+=A)。

【0043】次いで、アップ・ダウンカウンタ2cから

出力されるカウント値A'は、スイッチ2dを介してD/A変換部3及びLPF4に書き込まれ(S28)、図4に示したような出力電圧特性により所定の電圧信号に変換され、VCO5に印加される。このようにして、アップ・ダウンカウンタ2cによりカウントされるカウント値A'に応じてVCO5に印加される制御電圧を調整することができるため、VCO5により生成されるクロック信号CLKの周波数をバッファメモリのデータ量に応じて調整することができる。

【0044】すなわち、上述した一連のクロック信号の調整処理により、バッファメモリのデータ量の平均値が上側しきい値を上回ってオーバーフロー状態となる傾向が高まってきた場合には、VCO5に印加する制御電圧を上昇させることができるため、クロック信号の周波数を上げ、デコーダ等の動作速度を早くして、バッファメモリのデータ量を減少させることができる。

【0045】一方、バッファメモリのデータ量の平均値が下側しきい値を下回ってアンダーフロー状態となる傾向が高まってきた場合には、VCO5に印加する制御電圧を下降させることができるため、クロック信号の周波数を下げ、デコーダ等の動作速度を遅くして、バッファメモリのデータ量を増加させることができる。次に、クロック調整部2の第3の実施例について、図7を参照して説明する。なお、第1の実施例と同等の構成については、同一の符号を付して、その説明を省略する。

【0046】本実施例は、上述した実施例において、スイッチ2dを制御することにより、引き算部1から出力されるPCRとSTCの差分と、アップ・ダウンカウンタ2cのカウント値A'の何れか一方を選択的に切換え、D/A変換部3及びLPF4に書き込み設定していた構成に代えて、上記差分及びカウント値の双方を合成して書き込み設定することを中心とする。

【0047】図7において、クロック調整部2は、上側比較部2a及び下側比較部2bと、アップ・ダウンカウンタ2cと、加算器2fと、を有して構成されている。加算器2fは、引き算部1から出力されるPCRとSTCの差分と、上側比較部2a及び下側比較部2bにおける比較判別により設定されたアップ・ダウンカウンタ2cのカウント値A'の双方を加算し、この数値を制御値としてD/A変換部3及びLPF4に書き込み設定する。

【0048】次に、第3の実施例のクロック調整部2の処理動作について、図8を参照して説明する。なお、上述した第1の実施例と同等の処理については、その詳細説明を省略する。まず、クロック調整処理が開始されると、アップ・ダウンカウンタには初期値0が設定される(A=0;S31)。そして、制御CPUによりバッファメモリのデータ量が抽出され(S32)、クロック調整部2に inputs される。次いで、上側比較部2a及び下側比較部2bにおいて、予め設定された上側及び下側しき

い値と、データ量とが比較される(S33、S35)。  
 【0049】データ量が、上側しきい値よりも大きい場合には、アップ・ダウンカウンタ2cに加算信号を送出してカウント値Aを所定値 $\alpha$ だけ増加させる( $A' = A + \alpha$ ; S34)。データ量が、下側しきい値よりも小さい場合には、アップ・ダウンカウンタ2cに減算信号を送出してカウント値Aを所定値 $\alpha$ だけ減少させる( $A' = A - \alpha$ ; S36)。また、データ量が、上側及び下側しきい値により設定される許容範囲にある場合には、アップ・ダウンカウンタへの加減算信号を送出せず、カウント値Aは初期値0のままに設定される( $A' = A$ )。  
 【0050】一方、PCRを受信することにより、引き算部1からはPCRとSTCの差分( $STC - PCR$ )が算出される。次いで、アップ・ダウンカウンタ2cのカウント値A'及び引き算部1からの差分( $STC - PCR$ )が加算器2fにおいて加算処理され、その算出値 $B = (STC - PCR) + A'$ が、D/A変換部3及びLPF4に書き込み設定され、図4に示したような出力電圧特性により所定の電圧信号に変換され、VCO5に印加される。

【0051】このようにして、バッファメモリのデータ量の増減と、PCRとSTCの同期状態に応じた制御電圧がVCO5に印加されるため、VCO5により生成されるクロック信号CLKの位相を一致させるクロック信号再生処理に加え、バッファメモリのデータ量を許容範囲内に収束させるように、クロック信号CLKの周波数を制御してデータ処理速度を調整することができる。

【0052】なお、本実施例では、第1の実施例と同様に、上側比較部2a及び下側比較部2bにおいて、バッファメモリのデータ量と、上側及び下側しきい値を直接比較判別する構成及び処理を示したが、本発明はこれに限定されるものではなく、第2の実施例に示したように、バッファメモリのデータ量の平均値と、上側及び下側しきい値を比較判別する構成及び処理であってもよいことはいうまでもない。

【0053】

【発明の効果】本発明のMPEGデータ受信装置によれば、バッファメモリのデータ量、あるいは所定のサンプリング期間内のデータ量の平均値を監視し、所定の許容範囲を越えた場合に、VCOへの制御電圧を制御して、発振されるクロック信号の周波数を調整することにより、データ処理速度を変化させ、バッファメモリのデータ量を許容範囲内に収束させることができるため、アンダーフローあるいはオーバーフロー状態の発生を防止することができる。

【0054】したがって、バッファメモリのアンダーフローあるいはオーバーフローに伴う画像の途切れや異常音等の発生を防止することができ、視聴者に対する良好な放送番組の提供を実現することができる。また、データ量の平均値を監視対象とすることにより、圧縮率の異

なるデータ等によりデータ量の急激な変化が生じた場合においても、クロック信号の急激な変化を防止することができ、データ量の変化傾向に合致したクロック信号の調整処理を実現することができる。

【0055】さらに、TSパケットに挿入されたPCRと動作クロックに基づくSTCとの同期状態を引き算部により監視して、クロック信号の位相の一致を図る通常のクロック信号再生処理(PCR制御処理)と、上述したバッファメモリのデータ量あるいはその平均値と所定のしきい値との比較によるクロック信号の調整処理とを併用することにより、クロック信号の同期をとりつつ、正確でないPCRによるバッファメモリのアンダーフローあるいはオーバーフローを防止することができる。

【図面の簡単な説明】

【図1】本発明に係るMPEGデータ受信装置に適用されるPLLの概略構成を示すブロック図である。

【図2】第1の実施例のクロック調整部の概略構成を示すブロック図である。

【図3】第1の実施例のクロック調整処理を示すフローチャートである。

【図4】D/A変換部及びLPFの出力電圧特性を示す図である。

【図5】第2の実施例のクロック調整部の概略構成を示すブロック図である。

【図6】第2の実施例のクロック調整処理を示すフローチャートである。

【図7】第3の実施例のクロック調整部の概略構成を示すブロック図である。

【図8】第3の実施例のクロック調整処理を示すフローチャートである。

【図9】デジタル衛星放送用受信機の概略構成を示すブロック図である。

【図10】従来のPLLの概略構成を示すブロック図である。

【図11】TSパケットの概略構成を示す図である。

【符号の説明】

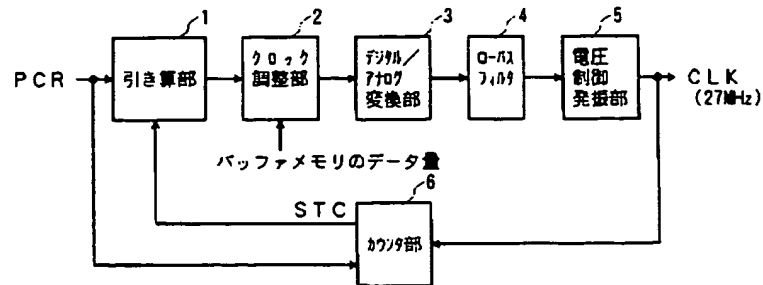
- a チューナ・モジュール
- b デスクランブラ
- c MPEGトランスポートデコーダ
- d MPEG2ビデオデコーダ
- e MPEG1オーディオデコーダ
- f NTSCエンコーダ
- g D/Aコンバータ
- 1 引き算部
- 2 クロック調整部
- 2a 上側比較部
- 2b 下側比較部
- 2c アップ・ダウンカウンタ
- 2d スイッチ
- 2e 平均値算出部

2 f 加算器  
3 D/A変換部  
4 LPF

5 VCO  
6 カウンタ部

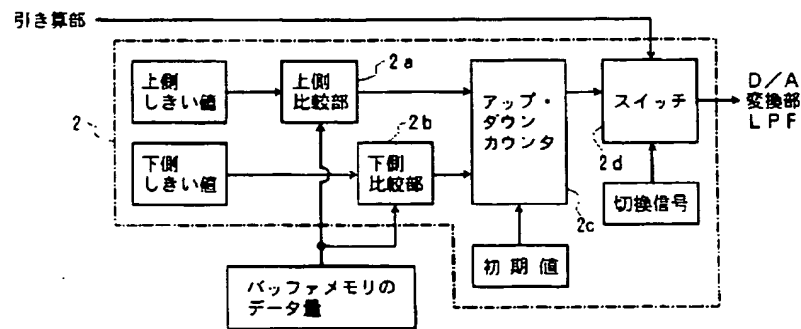
【図1】

本発明の位相ロックループ (PLL) の概略構成



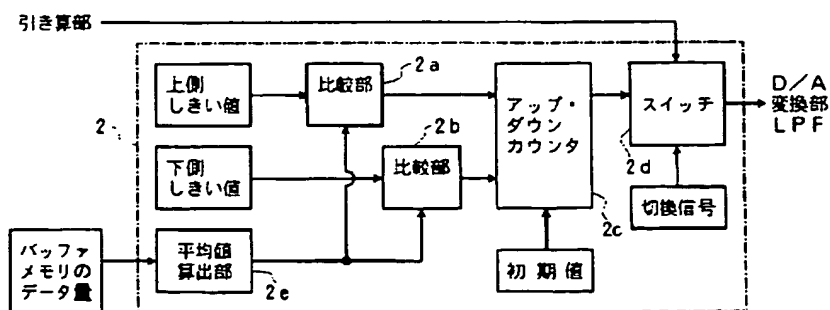
【図2】

第1実施例のクロック調整部の概略構成



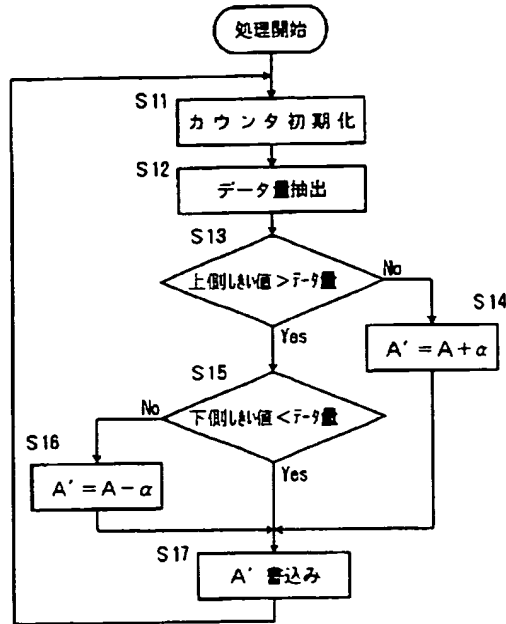
【図5】

第2実施例のクロック調整部の概略構成



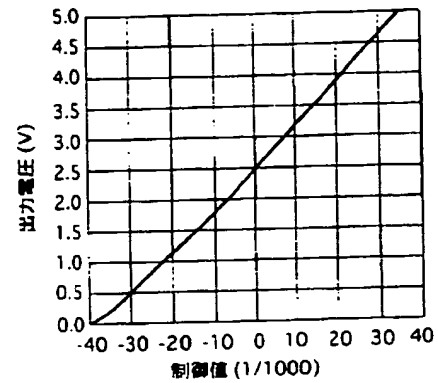
【図3】

第1の実施例のフローチャート



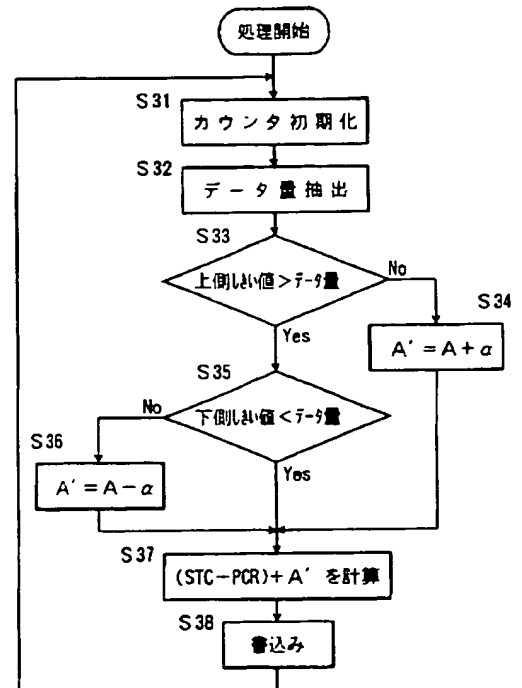
【図4】

D/A変換部、ローパスフィルタの出力電圧特性



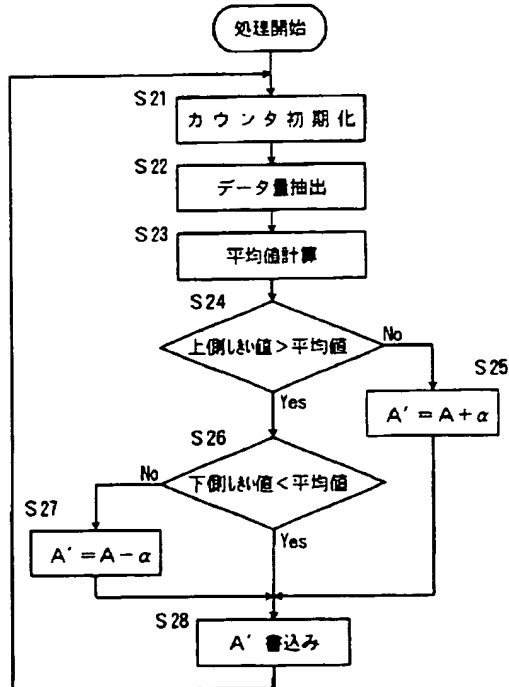
【図8】

第3の実施例のフローチャート



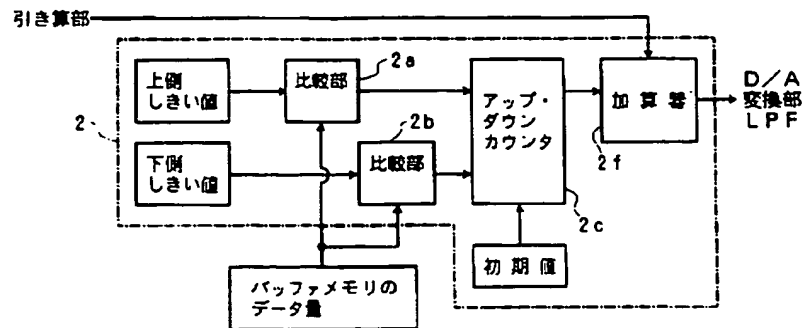
【図6】

第2の実施例のフローチャート



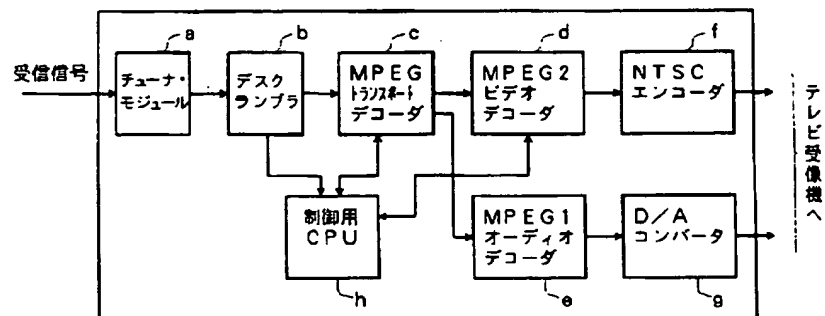
【図7】

## 第3実施例のクロック調整部の概略構成



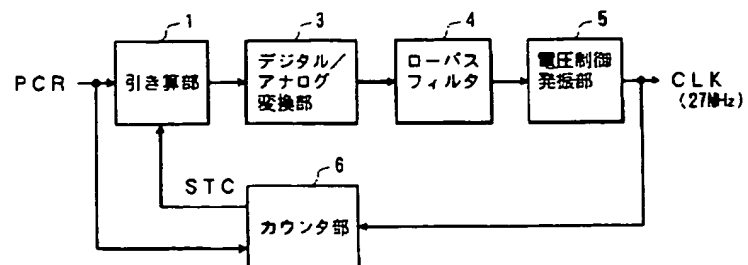
【図9】

## デジタル衛星放送用受信機の概略構成



【図10】

## 位相ロックループ (PLL) の概略構成



【図11】

TSパケットの概略構成

